

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Ko et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: METHODS FOR FORMING A THIN FILM ON AN INTEGRATED CIRCUIT DEVICE  
BY SEQUENTIALLY PROVIDING ENERGIES TO ACTIVATE THE REACTANTS

Date: March 31, 2004

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the  
following Korean priority application:

10-2003-0020786, filed April 2, 2003.

Respectfully submitted,

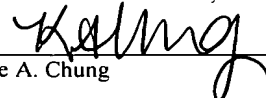


Jarett K. Abramson  
Registration No. 47,376

**USPTO Customer No. 20792**  
Myers Bigel Sibley & Sajovec  
Post Office Box 37428  
Raleigh, North Carolina 27627  
Telephone: 919/854-1400  
Facsimile: 919/854-1401

"Express Mail" mailing label number EV 381442375 US  
Date of Deposit: March 31, 2004

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

  
Katie A. Chung

대한민국 특허청

KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0020786  
Application Number

출원년월일 : 2003년 04월 02일  
Date of Application APR 02, 2003

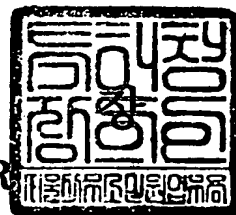
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 23 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.04.02
【발명의 명칭】	반도체 소자의 박막 형성방법
【발명의 영문명칭】	METHOD OF FORMING THIN FILM OF SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	고창현
【성명의 영문표기】	KO, Chang Hyun
【주민등록번호】	700905-1063410
【우편번호】	135-270
【주소】	서울특별시 강남구 도곡동 동신아파트 나동 704호
【국적】	KR
【발명자】	
【성명의 국문표기】	황기현
【성명의 영문표기】	HWANG, Ki Hyun
【주민등록번호】	670618-1100818
【우편번호】	463-909
【주소】	경기도 성남시 분당구 정자동(한솔마을) LG아파트 202동 604호
【국적】	KR
【발명자】	
【성명의 국문표기】	김효정
【성명의 영문표기】	KIM, Hyo Jung
【주민등록번호】	780517-2094914

【우편번호】 613-801  
【주소】 부산광역시 수영구 광안1동 103-3 6/5 건풍맨션 105  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)  
【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 20 면 20,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 23 항 845,000 원  
【합계】 894,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

반응 조건을 자유롭게 변화시켜 효과적으로 다층막을 형성할 수 있는 반도체 소자의 박막 형성방법이 개시되어 있다. 챔버 내에 장착된 반도체 기판 상으로 복수개의 반응물질을 동시에 도입하거나, 순차적으로 도입한다. 상기 반응물질 각각의 분자들을 순차적으로 운동시킬 수 있는 에너지를 제공하여 상기 분자들을 개별적으로 활성화시킴으로서 반도체 기판에 박막을 형성한다. 이와 같이, 물질을 선택적으로 활성화시킬 수 있는 분위기를 조성함으로써 동일 챔버 내에서 서로 다른 종류의 박막을 형성할 수 있으므로, 공정 시간을 단축할 수 있다.

**【대표도】**

도 1a

**【명세서】****【발명의 명칭】**

반도체 소자의 박막 형성방법{METHOD OF FORMING THIN FILM OF SEMICONDUCTOR DEVICE}

**【도면의 간단한 설명】**

도 1a 내지 도 1e는 본 발명의 실시예 1의 박막 형성방법을 설명하기 위한 개략도이다.

도 2a 내지 도 2d는 본 발명의 실시예 2의 박막 형성방법을 설명하기 위한 개략도이다.

도 3a 내지 도 3f는 본 발명의 실시예 3의 박막 형성방법을 설명하기 위한 개략도이다.

도 4a 내지 도 4h는 본 발명의 실시예 4에 의한 반도체 소자의 커패시터 형성방법을 나타낸 단면도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체 소자의 박막 형성방법에 관한 것으로, 보다 상세하게는 반응물질을 활성화시킬 수 있는 온도를 자유롭게 변화시켜 인-시츄 상태에서 다층막을 형성할 수 있는 반도체 소자의 박막 형성방법에 관한 것이다.

- <6> 반도체 소자는 소자 내에 회로를 형성하기 위해 다양한 공정을 거쳐 다층의 막을 형성한다. 상기 막들의 두께는 형성하고자 하는 구성요소의 특성에 맞게 다양하며, 사용하는 물질 및 공정 조건 또한 다양하다.
- <7> 특히, 반도체 소자의 구성요소 중 하나인 커패시터(capacitor)의 유전막은 안정적으로 유지할 수 있는 높은 커패시턴스(capacitance)를 요하므로, 막 내에 결함이 발생하지 않도록 균일하게 형성하여야 한다. 즉, 우수한 스텝 커버리지(step coverage) 및 균일도(uniformity)를 요한다.
- <8> 그러나, 일반적으로 사용되고 있는 화학적 기상 증착(Chemical Vapor Deposition; CVD, 이하, "CVD"라고 한다.) 방법 및 물리적 기상 증착(Physical Vapor Deposition; PVD, 이하, "PVD"라고 한다.) 방법에 의해 형성된 유전막은 반도체 소자의 특성을 향상시키기에 충분하지 못하다. 상기 물리적 기상 증착 방법은 열에 의해서 반응물을 제공하므로 스텝 커버리지의 특성이 저하되며, 상기 화학적 기상 증착 방법은 다수의 반응물을 동시에 사용하므로, 스텝 커버리지의 조절이 어렵다. 따라서, 상기 방법들을 이용하여 형성된 박막의 신뢰성은 저하된다.
- <9> 현재, 우수한 스텝 커버리지 및 균일도를 얻을 수 있는 막 형성방법으로 에피 성장(epitaxial growth) 방법, 사이클릭(cyclic) CVD 방법, 디지털(digital) CVD 방법, 어드밴스드(advanced) CVD 방법 및 원자층 적층(Atomic Layer Deposition; ALD, 이하, "ALD"라고 한다.)방법 등을 들 수 있다.
- <10> 상기 에피 성장 방법은 분자단위로 막을 성장시켜 막질이 매우 우수하면서도 단위 막의 형성 조절이 용이한 반면, 분자단위로 형성하기 위해서는 매우 장시간을 소요하게 되므로, 공정 적용에 한계가 있다.

- <11> 일반적인 CVD 및 ALD 방법은 기판 표면에 막을 형성하기 위해 상기 기판을 가열하는 방식인 접촉식 가열방식을 사용하고 있다. 상기 접촉식 가열방식은 제공되는 반응물의 반응 온도에 맞게 상기 기판의 온도를 제어하는 것이 용이하게 이루어지지 않는다. 즉, 일반적인 접촉식 가열 방식은 매체에 온도를 전달시켜 상기 매체를 가열하고 냉각시키는 시간이 지연된다. 따라서, 형성하고자 하는 막의 종류에 따라 챔버를 이동하여 공정을 진행하므로 공정시간이 지연될 뿐만 아니라, 설비 비용이 상승하게 된다.
- <12> 따라서, 상기 반응 온도 제어 시간을 단축시키기 위한 노력이 진행되었다. 미국 특허 US 2002/0066411 A1(이하, "66411"특허라고 한다.)에 ALD 방식의 온도 조절방법이 개시되어 있다. 상기 66411특허는 빠른 속도로 기판의 온도를 상승시킬 수 있다고 하였으나, 기판에 대해 직접적으로 가열하는 것이므로 냉각시키는 속도는 그 만큼 빠르게 제어할 수 없다.
- <13> 대한민국 공개특허 특2002-0091643(이하, "91643"특허라고 한다.)에 극초단파(microwave)를 이용한 박막 제조방법이 개시되어 있다. 상기 91643 특허는 비교적 낮은 온도에서 박막을 형성할 수 있다고 하였으나, 상기 91643의 방법 또한 기판을 직접적으로 가열하는 것이므로 일단 가열된 기판을 냉각시키기 위해서는 온도가 상승된 이상 상당한 시간이 소요된다.
- <14> 따라서, 상기 특허들은 단일 챔버 내에서 하나의 박막만을 형성하게 된다. 즉, 온도를 상승시키기 위한 공정 시간은 단축시킬 수 있으나, 상기 온도가 상승된 기판을 냉각시키기 위해서는 상당 시간 지연되고, 형성하고자 하는 막의 종류가 증가하며 그에 비례하여 반응 챔버의 수가 증가한다. 결과적으로, 반도체 소자 제조의 효율 저하로 제품의 단가를 상승시키게 된다.



## 【발명이 이루고자 하는 기술적 과제】

- <15> 따라서, 본 발명의 제1 목적은 다수의 반응물질 중에서 특정물질을 선택적으로 활성화시켜 막을 형성함으로써 공정시간을 단축시킬 수 있는 반도체 소자의 박막 형성방법을 제공하는 것이다.
- <16> 본 발명의 제2 목적은 특정 반응물질을 선택적으로 활성화시킴으로써 반응온도를 자유롭게 조절할 수 있는 반도체 소자의 박막 형성방법을 제공하는 것이다.
- <17> 본 발명의 제3 목적은 국소적으로 반응 활성화 분위기를 형성하여 반응조건을 자유롭게 조절할 수 있는 반도체 소자의 박막 형성방법을 제공하는 것이다.

## 【발명의 구성 및 작용】

- <18> 상기 제1 목적을 달성하기 위하여 본 발명은, 챔버 내에 장착된 반도체 기판 상으로 복수개의 반응물질을 도입하는 단계 및 상기 반응물질 각각의 분자들을 순차적으로 운동시킬 수 있는 에너지를 제공하여 상기 분자들을 개별적으로 활성화시킴으로써 반도체 기판에 박막을 형성하는 단계를 포함하는 반도체 소자의 박막 형성방법을 제공한다.
- <19> 상기 제2 목적을 달성하기 위하여 본 발명은 챔버 내에 장착된 반도체 기판 상으로 제1물질을 도입하는 단계, 상기 제1물질에 제1에너지를 제공하여 상기 제1물질을 1차 활성화시킴으로써 상기 반도체 기판에 흡착시켜 제1 흡착막을 형성하는 단계, 상기 제1 흡착막을 형성하고 상기 챔버 내에 잔류하는 제1물질을 배출시키는 단계, 상기 제1 흡착막 상에 제2물질을 도입하는 단계 및 상기 제1 흡착막에 상기 제1 흡착막의 흡착물질이 2차 활성화되는 제2에너지를 제공하여 상기 제1 흡착막의 온도를 상승시킴으로써 상기

제2물질을 상기 제1 흡착막에 흡착시켜 제1 박막을 형성하는 단계를 포함하는 반도체 소자의 박막 형성방법을 제공한다.

<20>       상기 제3 목적을 달성하기 위하여 본 발명은, 챔버 내에 장착된 표면이 극성으로 치환된 반도체 기판 상으로 제1물질을 도입하는 단계, 상기 반도체 기판에 제1 에너지를 제공하여 반도체 기판 표면의 치환체를 활성화시켜 온도를 상승시키는 단계, 상기 제1물질에 제2에너지를 제공하여 상기 제1물질을 선택적으로 활성화시키는 단계, 상기 상승된 온도 및 제2에너지에 의해 상기 제1물질을 반도체 기판에 흡착시켜 제1 흡착막을 형성하는 단계, 상기 제1 흡착막을 형성하고 상기 챔버 내에 잔류하는 제1물질을 배출시키는 단계, 상기 제1 흡착막 상에 제2물질을 도입하는 단계, 상기 제1 흡착막에 상기 제1 흡착막의 흡착물질이 2차 활성화되는 제3에너지를 제공하여 상기 제1 흡착막의 온도를 상승시키는 단계, 상기 제2물질에 제4 에너지를 제공하여 상기 제2물질을 선택적으로 활성화시키는 단계 및 상기 제1 흡착막의 온도 및 제4에너지에 의해 상기 제2물질을 상기 제1 흡착막에 흡착시켜 제1 박막을 형성하는 단계를 포함하는 반도체 소자의 박막 형성방법을 제공한다.

<21>       이와 같이, 물질을 선택적으로 활성화시킬 수 있는 분위기를 조성함으로써 동일 챔버 내에서 서로 다른 종류의 박막을 형성할 수 있으므로, 공정 시간을 단축할 수 있다.

<22>       이하, 본 발명을 상세히 설명한다.

<23>       본 발명의 반도체 소자의 박막 형성방법은 다음과 같다.

<24>       챔버 내에 장착된 반도체 기판 상으로 복수개의 반응물질을 도입한다.

- <25>      상기 반응물질 각각의 분자들을 순차적으로 운동시킬 수 있는 에너지를 제공하여  
상기 분자들을 개별적으로 활성화시킴으로서 반도체 기판에 박막을 형성한다.
- <26>      상기 박막을 형성하는 단계는 다음과 같다.
- <27>      상기 반응물질에 제1에너지를 제공하여 상기 반응물질들 중 제1물질을 1차 활성화  
시킴으로써 상기 반도체 기판 상에 상기 제1물질을 선택적으로 흡착시켜 제1흡착막을 형  
성한다. 상기 1차 활성화는 상기 제1물질의 운동 에너지에 의한 충돌, 진동 및 회전에  
의해 이루어진다. 상기 제1흡착막에 상기 제1흡착막의 흡착물질이 2차 활성화되는 제2에  
너지를 제공하여 상기 제1흡착막 상에 온도를 상기 반도체 기판 상에 흡착된 물질이 이  
탈되는 온도보다 낮게 상승시킴으로써 상기 반응물질들 중 제2물질을 선택적으로 상기  
제1흡착막에 흡착시켜 제1 박막을 형성한다. 상기 2차 활성화는 상기 제2에너지에 의해  
흡착물질이 회전 또는 진동하여 발생한 운동 에너지에 의해 열이 발생하여 온도가 상승  
되는 것을 의미한다. 상기 제1에너지 또는 제2에너지는 교류 전기장 또는 빛  
에너지이다. 상기 제1에너지 또는 제2에너지가 교류 전기장인 경우에는 상기 제1물질 또  
는 제2물질은 극성물질이다.
- <28>      이때, 상기 기판 표면을 이루고 있는 물질 및 상기 제2물질을 선택적으로 활성화시  
키는 에너지를 부가적으로 더 제공할 수 있다.
- <29>      상기 제1 박막에 상기 박막의 흡착물질이 3차 활성화되는 제3에너지를 제공하여 상  
기 제1 박막 상에 온도를 상승시킴으로써 상기 반응물질 중 제3물질을 선택적으로 상기  
박막에 흡착시켜 제2 흡착막을 형성한다. 상기 제2흡착막에 상기 제2흡착막의 흡착물질  
이 4차 활성화되는 제4에너지를 제공하여 상기 제2흡착막 상에 온도를 상기 제2 박막의  
흡착물질이 이탈되는 온도보다 낮게 상승시킴으로써 상기 반응물질들 중 제4물질을 선택

적으로 상기 제2흡착막에 흡착시켜 제2 박막을 형성한다. 이와 같은 과정을 수 회 반복하여 다층막을 형성한다.

<30> 이때, 상기 제3 및 제4 물질을 개별적으로 활성화시키는 에너지를 부가적으로 각각 제공할 수 있다.

<31> 또한, 본 발명의 반도체 소자의 박막 형성방법은 다음과 같다.

<32> 챔버 내에 장착된 반도체 기판 상으로 제1물질을 도입한다. 상기 제1물질에 제1에너지를 제공하여 상기 제1물질을 1차 활성화시킴으로써 상기 반도체 기판에 흡착시켜 제1 흡착막을 형성한다. 상기 1차 활성화는 운동 에너지에 의한 충돌, 진동 또는 회전으로 인해 이루어진다. 이때, 상기 기판 표면을 이루고 있는 물질을 부가적으로 활성화시킬 수 있다.

<33> 상기 제1 흡착막을 형성하고 상기 챔버 내에 잔류하는 제1물질을 배출시킨다. 상기 제1 흡착막 상에 제2물질을 도입한다. 상기 제1 흡착막에 상기 제1 흡착막의 흡착물질이 2차 활성화되는 제2에너지를 제공하여 상기 제1 흡착막의 온도를 상기 반도체 기판 상에 흡착된 물질이 이탈되는 온도보다 낮게 상승시킴으로써 상기 제2물질을 상기 제1 흡착막에 흡착시켜 제1 박막을 형성한다. 상기 2차 활성화는 상기 제2에너지에 의해 흡착물질이 회전 또는 진동하여 발생한 운동 에너지에 의해 열이 발생하여 온도가 상승하는 것을 의미한다.

<34> 상기 제1에너지 또는 제2에너지는 교류 전기장 또는 빛 에너지일 수 있으며, 상기 제1에너지 또는 제2에너지가 교류 전기장인 경우에는 상기 제1물질 또는 제2물질은 극성 물질이다.

- <35>        상기 제1 박막을 형성하고 상기 챔버 내에 잔류하는 제2물질을 배출시킨다. 상기 제1 박막 상에 제3물질을 도입한다. 상기 제1 박막에 상기 제1 박막의 흡착물질이 3차 활성화되는 제3에너지를 제공하여 상기 제1 박막 상에 온도를 상기 제1 박막의 흡착물질이 이탈되는 온도보다 낮게 상승시킴으로써 상기 제3물질을 상기 제1 박막에 흡착시켜 상기 제1 박막 상에 제2 흡착막을 형성한다. 상기 제2 흡착막을 형성하고 상기 챔버 내에 잔류하는 상기 제3 물질을 배출시킨다. 상기 제2흡착막에 상기 제2흡착막의 흡착물질이 4차 활성화되는 제4에너지를 제공하여 상기 제2흡착막 상에 온도를 상승시킴으로써 상기 반응물질들 중 제4물질을 선택적으로 상기 제2흡착막에 흡착시켜 제2 박막을 형성한다. 상기 제2 박막을 형성하고 상기 챔버 내에 잔류하는 제4 물질을 배출한다.
- <36>        상기 제3 및 제4 물질을 개별적으로 활성화시키는 에너지를 부가적으로 각각 제공할 수 있다.
- <37>        이와 같은 과정을 수회 반복하여 다층막을 형성한다.
- <38>        부가적으로, 본 발명의 반도체 소자의 박막 형성방법은 다음과 같다.
- <39>        챔버 내에 장착된 표면이 극성으로 치환된 반도체 기판 상으로 제1물질을 도입한다. 상기 반도체 기판에 제1 에너지를 제공하여 반도체 기판 표면의 치환체를 활성화시켜 온도를 상승시킨다. 상기 제1물질을 선택적으로 활성화시키는 제2 에너지를 제공한다. 상기 상승된 온도 및 상기 제2 에너지에 의해 상기 제1물질을 반도체 기판에 흡착시켜 제1 흡착막을 형성한다. 상기 제1 흡착막을 형성하고 상기 챔버 내에 잔류하는 제1물질을 배출시킨다. 상기 제1 흡착막 상에 제2물질을 도입한다. 상기 제1 흡착막에 상기 제1 흡착막의 흡착물질이 2차 활성화되는 제3에너지를 제공하여 상기 제1 흡착막의 온도를 상승시킨다. 상기 제2물질을 선택적으로 활성화시킬 수 있는 제4에너지를 제공한

다. 상기 제1흡착막의 온도 및 상기 제4에너지에 의해 상기 제2물질을 상기 제1 흡착막에 흡착시켜 제1 박막을 형성한다.

<40> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하고자 한다.

<41> 실시예 1

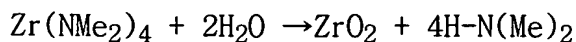
<42> 도 1a 내지 도 1e는 본 발명의 실시예 1의 박막 형성방법을 설명하기 위한 개략도이다.

<43> 도 1a를 참조하면, 챔버 내에 장착된 반도체 기판(110)의 표면에 히드록시기(hydroxyl group, -OH)(115)를 흡착시켜 극성을 띠게한다. 상기 반도체 기판의 표면은 통상적인 세정 공정에 의해 히드록시기로 치환될 수 있다.

<44> 상기 치환된 반도체 기판 상에 극초단파(microwave)를 제공함으로써 상기 반도체 기판 표면에 교류 전기장(alternating current field)을 형성한다. 상기 교류 전기장은 상기 하이드록시기의 회전(rotation) 운동(100)을 유도한다. 따라서, 상기 회전 운동에 의해 상기 하이드록시기가 서로 충돌함으로써 열을 발산하게 된다. 이때, 상기 마이크로 웨이프의 주파수 및 파워를 조절하여 상기 반도체 기판 상에 일정 온도를 유지시킬 수 있다.

<45> 도 1b를 참조하면, 상기 일정 온도로 상승된 반도체 기판 상으로 제1 금속 전구체(precursor)(120)를 포함하는 반응 물질을 도입하여 반응식 (1)의 반응을 거쳐 제1유전막을 형성한다.

## &lt;46&gt; 【반응식 1】



<47>        상기 반응식 (1)에 있어서, 상기 -Me는 -CH<sub>3</sub>를 의미한다.

<48>        도 1c를 참조하면, 우선, 반도체 기판 상으로 Zr(NCH<sub>3</sub>)<sub>4</sub>를 도입한다. 상기 반도체 기판 표면에 상승된 온도에 의해 상기 반도체 기판 표면에 도달된 Zr(NCH<sub>3</sub>)<sub>4</sub>는 활성화(activated)되어 상기 히드록시기로 치환된 기판 표면에 화학흡착(chemisorped)되어 흡착물(130)을 형성한다. 이때, 부수적으로 상기 제1 금속 전구체를 활성화시킬 수 있는 특정 파수의 적외선을 조사하여 상기 제1 금속 전구체를 활성화시킬 수 있다. 상기 반응에 참여하지 못하고 잔류하는 반응물을 외부로 배출시킨다.

<49>        도 1d를 참조하면, 상기 흡착물(130)을 포함한 반도체 기판 상으로 수증기 입자(140)를 도입한다.

<50>        도 1e를 참조하면, 상기 수증기 입자 및 흡착물(130)의 말단은 반응성 차이에 의해 상호 치환된다. 따라서, 상기 흡착물(130)의 말단은 히드록시기로 치환되어, ZrO<sub>2</sub>로 이루어진 제1유전막(145)이 형성된다.

<51>        상기 제1유전막 형성에 참여하지 못하고 챔버 내에 잔류하는 반응물을 외부로 배출한다.

<52>        이와 같이, 반응물질을 도입하고 화학흡착시키는 단계를 반복적으로 진행하여 원하는 만큼의 종류 및 두께를 갖는 다층 박막을 형성할 수 있으며, 통상적인 어닐링(annealing) 공정에 의해 최상부막에 치환된 히드록시기를 제거할 수 있다.

- <53>      상기 실시예에서 특정 물질을 활성화시킬 수 있는 에너지를 반응물질에 특성에 맞게 조합하여 사용할 수 있다.
- <54>      실시예 2
- <55>      도 2a 내지 도 2d는 본 발명의 실시예 2의 박막 형성방법을 설명하기 위한 개략도이다.
- <56>      도 2a를 참조하면, 챔버 내에 장착된 반도체 기판(210) 상으로 형성하고자 하는 유전막의 종류에 따라 반응물질들을 동시에 도입한다. 이때, 상기 반응물질은 도입되는 동안 서로 반응하지 않는다.
- <57>      상기 도입된 반응물질들에 대해, 상기 반응물질 각각이 운동할 수 있는 고유 파장의 적외선(Infra-Red; IR)을 선택적으로 조사하여, 상기 반응물질들을 순차적으로 활성화시킨다.
- <58>      상기 적외선에 의해 순차적으로 활성화된 제1 금속 전구체(220)를 포함하는 반응물질은 반응식 (2)의 반응을 거쳐 제1 유전막을 형성한다.
- <59>      【반응식 2】
- $$2\text{Al}(\text{CH}_3)_3 + \text{O}_3 \rightarrow \text{Al}_2\text{O}_3 + 3\text{C}_2\text{H}_6$$
- <60>      우선, 상기 반응물질 중  $\text{Al}(\text{CH}_3)_3$  이 운동하는 파장수(wave number)를 갖는 제1 적외선(200)을 조사한다.
- <61>      도 2b를 참조하면, 상기 적외선 조사에 의해, 상기  $\text{Al}(\text{CH}_3)_3$  이 서로 충돌하면서 활성화(activated)되어 상기 반도체 기판에 화학흡착(chemisorped)되어 흡착막(230)을



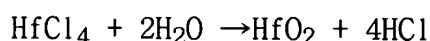
형성한다. 이때, 상기 기판 표면을 이루고 있는 물질을 부가적으로 활성화시켜 상기 흡착막의 형성을 도울 수 있다.

<62> 이어서, 상기 반응물질 중 오존(240)을 선택적으로 활성화시킬 수 있는 파장수를 갖는 제2 적외선(200a)을 조사시킨다.

<63> 도 2c를 참조하면, 상기 오존의 활성화에 의해  $Al_2O_3$ 로 이루어진 제1유전막(245)을 형성한다.

<64> 도 2d를 참조하면, 적외선의 파장수를 조절하여 제2 금속 전구체(250)를 포함하는 반응물질을 반응식 (3)에 따라 반응시켜 제2 유전막을 형성한다.

<65> 【반응식 3】



<66> 상기  $HfCl_4$ 가 활성화되는 파장수의 제3 적외선을 조사하여 상기  $HfCl_4$ 를 상기 제1 유전막(245)에 흡착시키고, 상기 수증기 입자가 활성화되는 파장수의 적외선을 조사하여  $HfO_2$ 로 이루어진 제2유전막(250)을 형성한다.

<67> 이와 같이, 반응물질을 도입하고 화학흡착시키는 단계를 반복적으로 진행하여 원하는 만큼의 종류 및 두께를 갖는 다층 박막을 형성할 수 있다. 상기 반응에 참여하지 못하고 잔류하는 물질들은 챔버 외부로 배출시킨다.

<68> 물질이 활성화되는 고유 파장수의 적외선을 조사함으로써 복수개의 반응물질을 선택적으로 활성화시켜 동일 챔버 내에서 원자층 적층(Atomic Layer Deposition; ALD)방식으로 다층 박막을 형성할 수 있다.

<69> 실시예 3

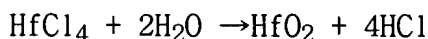
- <70> 도 3a 내지 도 3f는 본 발명의 실시예 3의 박막 형성방법을 설명하기 위한 개략도이다.
- <71> 도 3a를 참조하면, 히드록시기(미도시)로 표면이 치환된 반도체 기판을 챔버 내에 장착한다.
- <72> 상기 치환된 반도체 기판 상에 극초단파를 제공함으로써 상기 반도체 기판 표면에 교류 전기장을 형성한다. 상기 교류 전기장은 상기 하이드록시기의 회전 운동을 유도하여 치환기들이 서로 충돌함으로써 열을 발산하게 된다. 이때, 상기 마이크로웨이프의 주파수 및 파워를 조절하여 상기 반도체 기판 상에 일정 온도를 유지시킬 수 있다.
- <73> 상기 일정 온도로 상승된 반도체 기판(310) 상으로 제1 금속 전구체(320)를 포함하는 반응 물질을 도입하여 반응식 (4)의 반응을 거쳐 제1유전막을 형성한다.
- <74> 【반응식 4】
- $$\text{ZrCl}_4 + 2\text{H}_2\text{O} \rightarrow \text{ZrO}_2 + 4\text{HCl}$$
- <75> 우선, 반도체 기판 상으로  $\text{ZrCl}_4$ 로 이루어진 제1 금속 전구체(320) 도입한다. 상기 반도체 기판 표면에 상승된 온도에 의해 상기 반도체 기판 표면에 도달된  $\text{ZrCl}_4$ 는 활성화되어 상기 히드록시기로 치환된 기판 표면에 화학흡착되어 제1 흡착막(330)을 형성한다. 이때, 상기 제1 금속 전구체를 활성화시킬 수 있는 특정 파수의 적외선을 부가적으로 조사할 수 있다.
- <76> 도 3b를 참조하면, 상기 제1 흡착막(330)을 형성하지 못하고 잔류하는 상기  $\text{ZrCl}_4$ 를 외부로 배출시킨다.

<77> 상기 제1 흡착막(330)을 포함한 반도체 기판 상으로 수증기 입자(미도시)를 도입하면, 상기 수증기 입자 및 제1 흡착막(330)의 말단은 반응성 차이에 의해 상호 치환된다. 따라서,  $ZrO_2$  로 이루어진 제1유전막(345)이 형성된다.

<78> 상기 제1유전막(345) 형성에 참여하지 못하고 챔버 내에 잔류하는 수증기 입자를 외부로 배출한다.

<79> 도 3c를 참조하면, 상기 제1유전막(345) 상으로 제2 금속 전구체(348)를 포함하는 반응 물질을 도입하여 반응식 (5)의 반응을 거쳐 제2유전막을 형성한다.

<80> 【반응식 5】



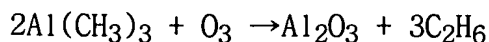
<81> 우선, 반도체 기판 상으로  $HfCl_4$ 를 도입한다. 상기 제1유전막(345) 표면에 상승된 온도에 의해 상기 제1유전막(345) 표면에 도달된  $HfCl_4$ 는 활성화되어 상기 제1 유전막(345)에 화학흡착되어 제2 흡착막(349)을 형성한다.

<82> 도 3d를 참조하면, 상기 제2 흡착막(349)의 형성에 참여하지 못하고, 잔류하는  $HfCl_4$ 를 외부로 배출시킨다. 이어사, 상기 제2 흡착막(349) 상으로 오존입자를 산화제로서 도입하여  $HfO_2$  로 이루어진 제2유전막(350)을 형성한다.

<83> 도 3e를 참조하면, 상기 제2유전막(350) 형성에 참여하지 못하고 챔버 내에 잔류하는 반응물을 외부로 배출한다.

<84> 상기 제2유전막(350) 상으로 제3 금속 전구체(355)를 포함하는 반응 물질을 도입하여 반응식 (6)의 반응을 거쳐 제3유전막을 형성한다.

## &lt;85&gt; 【반응식 6】



- <86> 우선, 반도체 기판 상으로  $\text{Al}(\text{CH}_3)_3$ 를 도입한다. 상기  $\text{Al}(\text{CH}_3)_3$ 를 활성화시킬 수 있는 에너지의 주파수를 갖는 적외선을 조사하여 상기  $\text{Al}(\text{CH}_3)_3$ 를 선택적으로 운동시킨다. 상기 제2유전막 표면에 상응된 온도 및 상기 운동에 의해 상기 제2유전막 표면에 도달된  $\text{Al}(\text{CH}_3)_3$ 는 활성화되어 상기 제2유전막에 화학흡착되어 제3 흡착막(360)을 형성한다.
- <87> 도 3f를 참조하면, 상기 제3 흡착막 형성에 참여하지 못하고 잔류하는 반응물로 외부로 배출시키고, 상기 제3 흡착막(360) 상으로 오존입자를 도입하여  $\text{Al}_2\text{O}_3$ 로 이루어진 제3유전막(365)를 형성한다.
- <88> 상기 제3유전막(365) 형성에 참여하지 못하고 챔버 내에 잔류하는 반응물을 외부로 배출한다.
- <89> 이와 같이, 반응물질을 도입하고 화학흡착시키는 단계를 반복적으로 진행하여 원하는 만큼의 종류 및 두께를 갖는 다층 박막을 형성할 수 있으며, 통상적인 어닐링 공정에 의해 최상부막에 치환된 히드록시기를 제거할 수 있다.
- <90> 상기 실시예들은 활성화시킬 수 있는 에너지를 반응물질에 특성에 맞게 조합하여 사용할 수 있다.
- <91> 실시예 4
- <92> 도 4a 내지 도 4h는 본 발명의 실시예 4에 의한 반도체 소자의 커패시터 형성방법을 나타낸 단면도이다.

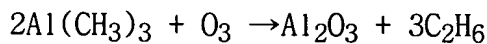
- <93> 도 4a를 참조하면, 패턴이 형성된 반도체 기판(400)에 제1 절연막(405)을 형성하고 통상의 사진 식각 공정으로 반도체 기판의 상부면(411)이 드러날 때까지 소정 영역의 상기 제1 절연막(405)을 식각하여 제1 개구부(420)을 형성한다.
- <94> 도 4b를 참조하면, 상기 제1 개구부(420)을 도전성 물질로 매립하여 상기 제1 절연막에 콘택 플러그(430)를 형성한다.
- <95> 상기 콘택 플러그(430)를 포함하여 상기 제1 절연막(405) 상에 제2 절연막(450)을 형성한다.
- <96> 도 4c를 참조하면, 콘택 플러그(430)를 덮고 있는 상기 제2 절연막(450)의 소정 영역을 상기 콘택 플러그(430)의 상부면이 드러날때까지 식각하여 제2 개구부(455)를 형성한다.
- <97> 상기 제2 개구부(455)를 포함하여 제2 절연막 패턴(450a) 전면에 걸쳐 폴리실리콘막(460)을 형성한다. 상기 폴리실리콘막(460)은 상기 제2 절연막 패턴(450a)의 상단면, 상기 개구부의 측면 및 저면에 연속적으로 형성된다.
- <98> 도 4d를 참조하면, 상기 폴리 실리콘 막(460)이 증착된 기판에 산화물을 증착하고, 통상의 화학 기계적 연마(Chemical Mechanical Polishing;CMP) 방식에 의해 평탄화함으로서 산화막(470)을 형성하여 상기 제2 개구부(455)를 매립한다.
- <99> 도 4e를 참조하면, 상기 제2 절연막 패턴(450a)의 상부면에 증착된 폴리실리콘막(460)을 상기 제2 절연막 패턴(450a)의 상부면이 노출되기까지 식각한다. 이때, 상기 제2 절연막 패턴(450a)이 식각되는 만큼, 상기 제2 개구부(455)를 매립한 산화막(470)을

동시에 식각하게된다. 따라서, 상기 식각에 의해 상기 제2 절연막 패턴(450a) 상부면에 위치한 상기 폴리실리콘막(460)이 분리되어 커패시터 하부전극(460a)이 형성된다.

<100> 도 4f를 참조하면, 상기 제2 절연막 패턴(450a) 및 상기 제2 개구부(455) 내에 존재하는 산화막(470)을 습식 식각하여 모두 제거함으로써 하부전극(460a)을 노출시킨다.

<101> 도 4g를 참조하면, 상기 하부전극(460a)이 형성된 기판을 유전막 형성 챔버에 장착하고, 상기 하부전극(460a) 상으로 유전막을 형성하기 위한 반응물질을 도입한다. 상기 반응물질 중, 제1 금속 전구체(precursor)를 포함하는 반응물질은 반응식 (7)의 반응을 거쳐 제1 흡착막(480)을 형성한다.

<102> 【반응식 7】

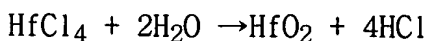


<103> 우선, 상기 반응물질 중  $\text{Al}(\text{CH}_3)_3$  이 운동하는 파장수를 갖는 적외선을 조사하여 상기  $\text{Al}(\text{CH}_3)_3$  을 활성화시켜 상기 반도체 기판에 화학흡착(chemisorped)된다.

<104> 이어서, 상기 반응물질 중 오존을 선택적으로 활성화시킬 수 있는 파장수를 갖는 적외선을 조사시켜  $\text{Al}_2\text{O}_3$ 로 이루어진 제1흡착막(480)을 형성한다.

<105> 적외선의 파장수를 조절하여 제2 금속 전구체를 포함하는 반응물질을 반응식 (8)에 따라 반응시켜 제2 흡착막(485)을 형성한다.

<106> 【반응식 8】



<107> 상기  $\text{HfCl}_4$ 가 활성화되는 파장수의 적외선을 조사하여 상기  $\text{HfCl}_4$ 를 상기 제1흡착막에 흡착시키고, 상기 수증기 입자가 활성화되는 파장수의 적외선을 조사하여  $\text{HfO}_2$ 로

이루어진 제2흡착막(485)을 형성한다. 따라서, 제1 흡착막(480) 및 제2 흡착막(485)으로 이루어진 유전막(490)을 완성한다.

<108> 이와 같이, 반응물질을 도입하고 화학흡착시키는 단계를 반복적으로 진행하여 원하는 만큼의 종류 및 두께를 갖는 다층 박막을 형성할 수 있다. 상기 반응에 참여하지 못하고 잔류하는 물질들은 챔버 외부로 배출시킨다.

<109> 따라서, 커패시터 하부전극의 높이에 무관하게 스텝 커버리지가 전 영역에 걸쳐 우수하고, 균일도가 우수한 유전막을 형성할 수 있다. 또한, 동일 챔버 내에서 원하는 종류의 유전막을 다층으로 형성할 수 있으며, 각 막을 형성하고자 하는 온도를 자유롭게 조절할 수 있다.

<110> 화학흡착이 완료되면, 교류 전기장의 형성을 중단하여, 반도체 기판 표면의 온도를 낮춘다. 상기 온도는 물질의 회전운동에 의해 상승된 것으로서, 교류 전기장을 중단하면 물질의 회전운동이 정지되어 용이하게 빠른 속도로 온도를 낮출 수 있다. 따라서, 더 이상의 화학흡착이 발생하지 않는다.

<111> 일반적인 기판 가열방법에 의한 온도조절은 기판 전체에 대해 열을 가하여 기판 가열시간 및 냉각 시간이 오래 걸리는 반면, 물질의 운동에 의한 온도조절은 온도가 상승되는 부분이 기판 표면에 한정되므로 온도를 올리고 낮추는 시간이 단축된다.

<112> 결과적으로, 공정시간을 단축시킬 수 있다.

<113> 도 4h를 참조하면, 상기 유전막(490) 상에 균일하게 도전물을 도포함으로써 상부전극(495)을 형성하여 커패시터를 완성한다.

**【발명의 효과】**

- <114> 상술한 바와 같이 본 발명에 의하면, 동일 챔버 내로, 다수의 반응물질을 동시에 도입하거나, 순차적으로 도입할 수 있다. 상기 도입된 반응물질 각각을 개별적으로 활성화시킬 수 있는 에너지를 순차적으로 제공하여 특정 반응물질만을 운동시킴으로서 용이하게 반응조건을 제어할 수 있다.
- <115> 이와 같이, 물질을 선택적으로 활성화시킬 수 있는 분위기를 조성함으로써 동일 챔버 내에서 서로 다른 종류의 박막을 형성할 수 있으므로, 공정 시간을 단축할 수 있다.
- <116> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.



**【특허청구범위】****【청구항 1】**

챔버 내에 장착된 반도체 기판 상으로 복수개의 반응물질을 도입하는 단계; 및  
상기 반응물질 각각의 분자들을 순차적으로 운동시킬 수 있는 에너지를 제공하여  
상기 분자들을 개별적으로 활성화시킴으로서 반도체 기판에 박막을 형성하는 단계를 포  
함하는 반도체 소자의 박막 형성방법.

**【청구항 2】**

제1항에 있어서, 상기 박막을 형성하는 단계는,

상기 반응물질에 제1에너지를 제공하여 상기 반응물질들 중 제1물질을 1차 활성화  
시킴으로써 상기 반도체 기판 상에 상기 제1물질을 선택적으로 흡착시켜 제1흡착막을 형  
성하는 단계; 및

상기 제1흡착막에 상기 제1흡착막의 흡착물질이 2차 활성화되는 제2에너지를 제공  
하여 상기 제1흡착막 상에 온도를 상승시킴으로써 상기 반응물질들 중 제2물질을 선택적  
으로 상기 제1흡착막에 흡착시켜 제1 박막을 형성하는 단계를 포함하는 반도체 소자의  
박막 형성방법.

**【청구항 3】**

제2항에 있어서, 상기 기판 표면을 이루고 있는 물질 및 제2물질을 선택적으로 활  
성화시키는 에너지를 부가적으로 더 제공하는 것을 특징으로 하는 반도체 소자의 박막  
형성방법.

**【청구항 4】**

제2항에 있어서, 상기 제1흡착막 상의 온도는 상기 반도체 기판 상에 흡착된 물질이 이탈되는 온도보다 낮은 것을 특징으로 하는 반도체 소자의 박막 형성방법.

**【청구항 5】**

제2항에 있어서, 상기 제1 박막에 상기 박막의 흡착물질이 3차 활성화되는 제3에너지를 제공하여 상기 제1 박막 상에 온도를 상승시킴으로써 상기 반응물질 중 제3물질을 선택적으로 상기 박막에 흡착시켜 제2 흡착막을 형성하는 단계; 및

상기 제2흡착막에 상기 제2흡착막의 흡착물질이 4차 활성화되는 제4에너지를 제공하여 상기 제2흡착막 상에 온도를 상승시킴으로써 상기 반응물질들 중 제4물질을 선택적으로 상기 제2흡착막에 흡착시켜 제2 박막을 형성하는 단계를 수 회 반복하는 것을 특징으로 하는 반도체 소자의 박막 형성방법.

**【청구항 6】**

제5항에 있어서, 상기 제3 및 제4 물질을 개별적으로 활성화시키는 에너지를 부가적으로 각각 제공하는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 박막 형성방법.

**【청구항 7】**

제5항에 있어서, 상기 제2 박막 상에 온도는 상기 제2 박막의 흡착물질이 이탈되는 온도보다 낮은 것을 특징으로 하는 반도체 소자의 박막 형성방법.

## 【청구항 8】

제2항에 있어서, 상기 1차 활성화는 상기 제1물질의 운동 에너지에 의한 충돌, 진동 및 회전에 의해 이루어지는 것을 특징으로 하는 반도체 소자의 박막 형성방법.

## 【청구항 9】

제2항에 있어서, 상기 2차 활성화는 상기 제2에너지에 의해 흡착물질이 회전 또는 진동하여 발생한 운동 에너지에 의해 열이 발생하여 온도가 상승되는 것을 특징으로 하는 반도체 소자의 박막 형성방법.

## 【청구항 10】

제2항에 있어서, 상기 제1에너지 또는 제2에너지는 교류 전기장 또는 빛 에너지인 것을 특징으로 하는 반도체 소자의 박막 형성방법.

## 【청구항 11】

제10항에 있어서, 상기 제1에너지 또는 제2에너지가 교류 전기장인 경우에는 상기 제1물질 또는 제2물질은 극성물질인 것을 특징으로 하는 반도체 소자의 박막 형성방법.

## 【청구항 12】

챔버 내에 장착된 반도체 기판 상으로 제1물질을 도입하는 단계;

상기 제1물질에 제1에너지를 제공하여 상기 제1물질을 1차 활성화시킴으로써 상기 반도체 기판에 흡착시켜 제1 흡착막을 형성하는 단계;

상기 제1 흡착막을 형성하고 상기 챔버 내에 잔류하는 제1물질을 배출시키는 단계;

상기 제1 흡착막 상에 제2물질을 도입하는 단계; 및

상기 제1 흡착막에 상기 제1 흡착막의 흡착물질이 2차 활성화되는 제2에너지를 제공하여 상기 제1 흡착막의 온도를 상승시킴으로써 상기 제2물질을 상기 제1 흡착막에 흡착시켜 제1 박막을 형성하는 단계를 포함하는 반도체 소자의 박막 형성방법.

【청구항 13】

제12항에 있어서, 상기 반도체 기판 표면의 물질을 활성화시키는 에너지를 부가적으로 제공하는 것을 특징으로 하는 반도체 소자의 박막 형성방법.

【청구항 14】

제12항에 있어서, 상기 제1 흡착막의 온도는 상기 반도체 기판 상에 흡착된 물질이 이탈되는 온도보다 낮은 것을 특징으로 하는 반도체 소자의 박막 형성방법.

【청구항 15】

제12항에 있어서, 상기 제1 박막을 형성하고 상기 챔버 내에 잔류하는 제2물질을 배출시키는 단계;

상기 제1 박막 상에 제3물질을 도입하는 단계;

상기 제1 박막에 상기 제1 박막의 흡착물질이 3차 활성화되는 제3에너지를 제공하여 상기 제1 박막 상에 온도를 상승시킴으로써 상기 제3물질을 상기 제1 박막에 흡착시켜 상기 제1 박막 상에 제2 흡착막을 형성하는 단계;

상기 제2 흡착막을 형성하고 상기 챔버 내에 잔류하는 상기 제3 물질을 배출시키는 단계;

상기 제2흡착막에 상기 제2흡착막의 흡착물질이 4차 활성화되는 제4에너지를 제공하여 상기 제2흡착막 상에 온도를 상승시킴으로써 상기 반응물질들 중 제4물질을 선택적으로 상기 제2흡착막에 흡착시켜 제2 박막을 형성하는 단계; 및

상기 제2 박막을 형성하고 상기 챔버 내에 잔류하는 제4 물질을 배출하는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 박막 형성방법.

【청구항 16】

제15항에 있어서, 상기 제3 및 제4 물질을 개별적으로 활성화시키는 에너지를 부가적으로 각각 제공하는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 박막 형성방법.

【청구항 17】

제15항에 있어서, 상기 단계들을 수회 반복하는 것을 특징으로 하는 반도체 소자의 박막 형성방법.

【청구항 18】

제12항에 있어서, 상기 제1 박막 상에 온도는 상기 제1 박막의 흡착물질이 이탈되는 온도보다 낮은 것을 특징으로 하는 반도체 소자의 박막 형성방법.

【청구항 19】

제12항에 있어서, 상기 1차 활성화는 운동 에너지에 의한 충돌, 진동 또는 회전에 의해 이루어지는 것을 특징으로 하는 반도체 소자의 박막 형성방법.

## 【청구항 20】

제12항에 있어서, 상기 2차 활성화는 상기 제2에너지에 의해 흡착물질이 회전 또는 진동하여 발생한 운동 에너지에 의해 열이 발생하여 온도가 상승되는 것을 특징으로 하는 반도체 소자의 박막 형성방법.

## 【청구항 21】

제12항에 있어서, 상기 제1에너지 또는 제2에너지는 교류 전기장 또는 빛 에너지인 것을 특징으로 하는 반도체 소자의 박막 형성방법.

## 【청구항 22】

제21항에 있어서, 상기 제1에너지 또는 제2에너지가 교류 전기장인 경우에는 상기 제1물질 또는 제2물질은 극성물질인 것을 특징으로 하는 반도체 소자의 박막 형성방법.

## 【청구항 23】

챔버 내에 장착된 표면이 극성으로 치환된 반도체 기판 상으로 제1물질을 도입하는 단계;

상기 반도체 기판에 제1 에너지를 제공하여 반도체 기판 표면의 치환체를 활성화시켜 온도를 상승시키는 단계;

상기 제1 물질을 선택적으로 활성화시키는 제2 에너지를 제공하는 단계;

상기 상승된 온도 및 제2 에너지에 의해 상기 제1물질을 반도체 기판에 흡착시켜 제1 흡착막을 형성하는 단계;

상기 제1 흡착막을 형성하고 상기 챔버 내에 잔류하는 제1물질을 배출시키는 단계;

상기 제1 흡착막 상에 제2물질을 도입하는 단계; 및

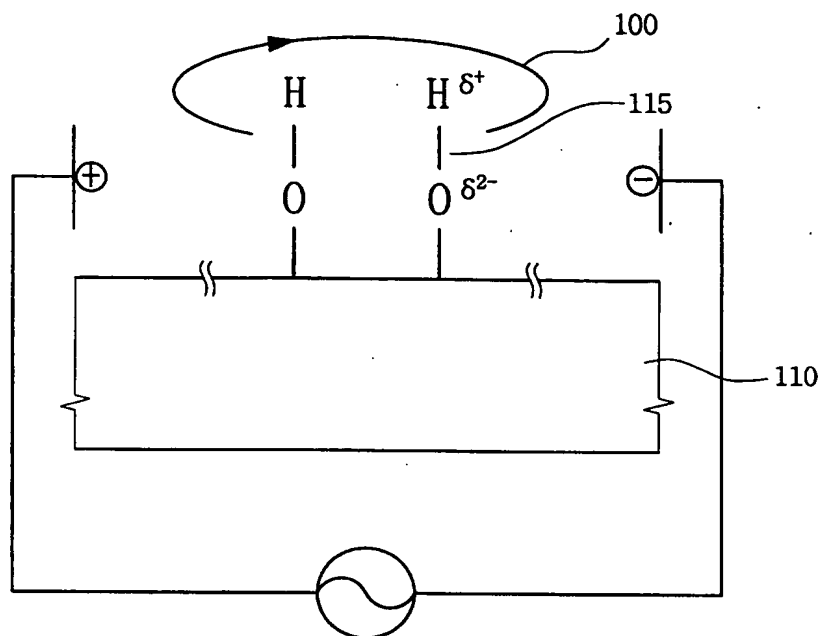
상기 제1 흡착막에 상기 제1 흡착막의 흡착물질이 2차 활성화되는 제3에너지를 제공하여 상기 제1 흡착막의 온도를 상승시키는 단계;

상기 제2물질을 활성화시키는 제4 에너지를 제공하는 단계;

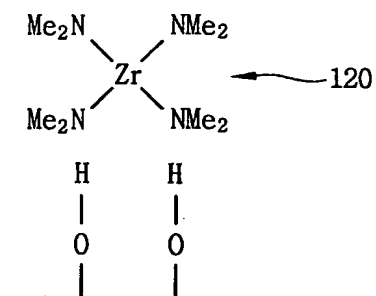
상기 제1 흡착막의 온도 및 제4 에너지에 의해 상기 제2물질을 상기 제1 흡착막에 흡착시켜 제1 박막을 형성하는 단계를 포함하는 반도체 소자의 박막 형성방법.

## 【도면】

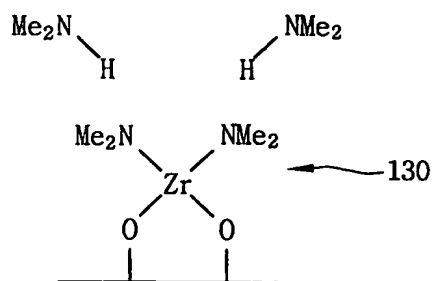
【도 1a】



【도 1b】

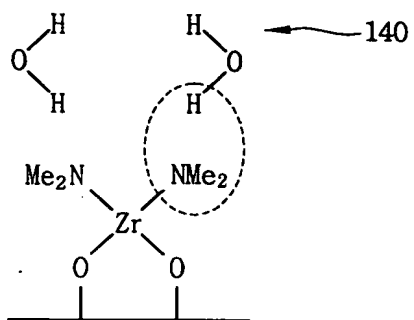


【도 1c】

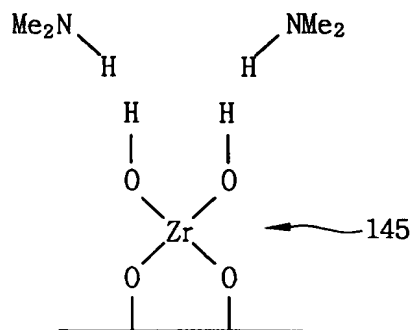




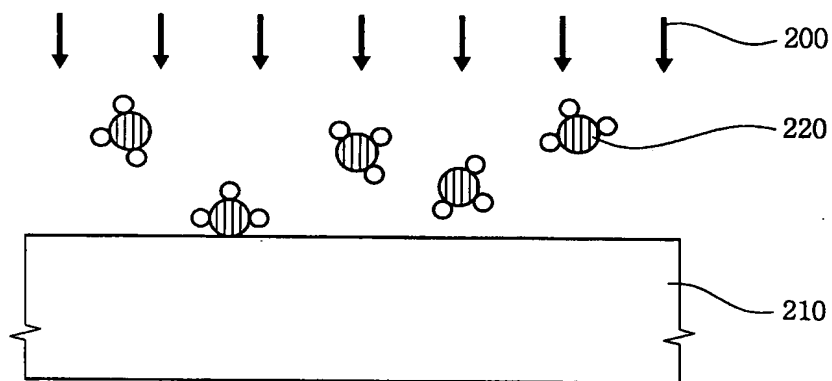
【도 1d】



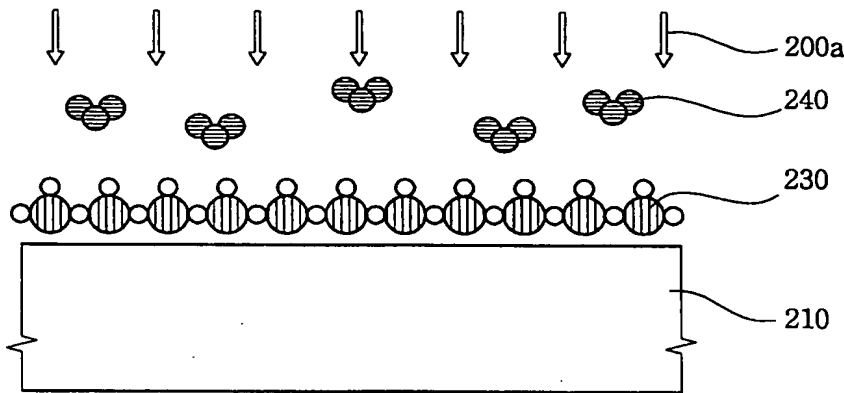
【도 1e】



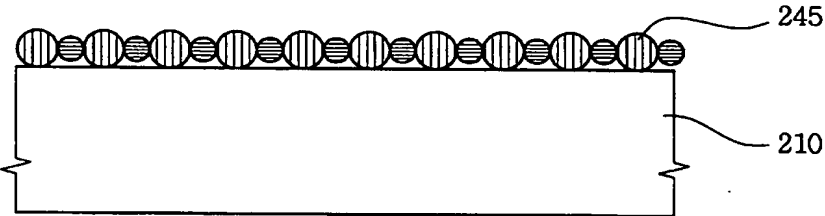
【도 2a】



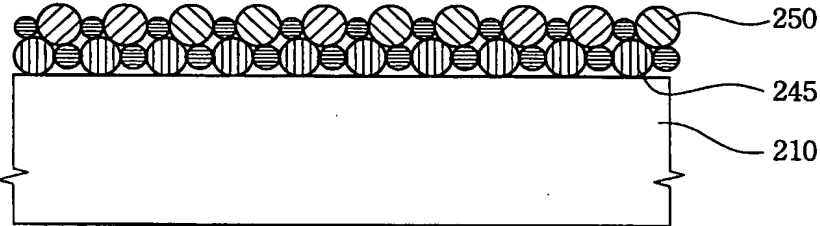
【도 2b】



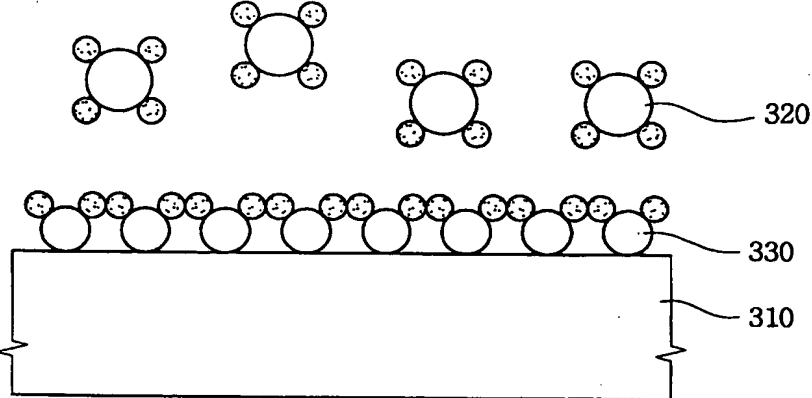
【도 2c】



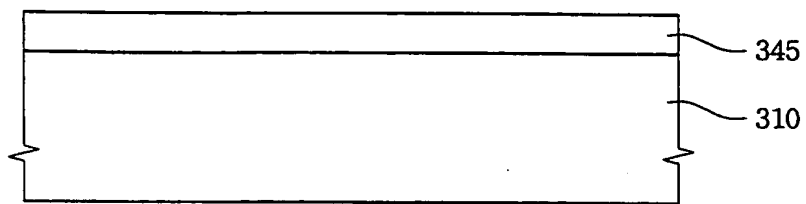
【도 2d】



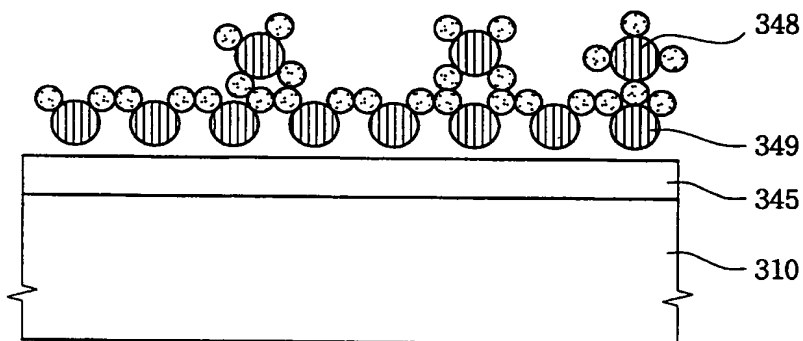
【도 3a】



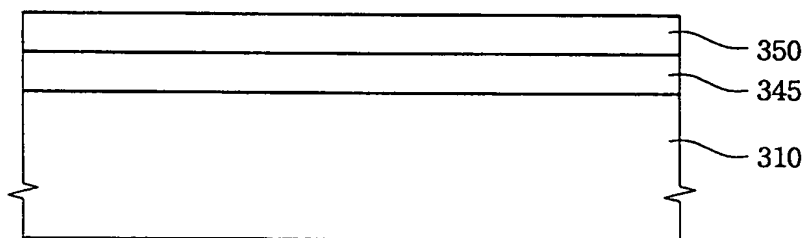
【도 3b】



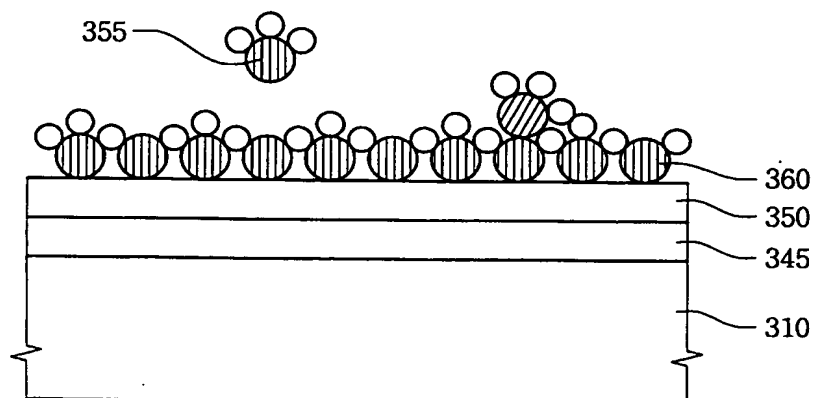
【도 3c】



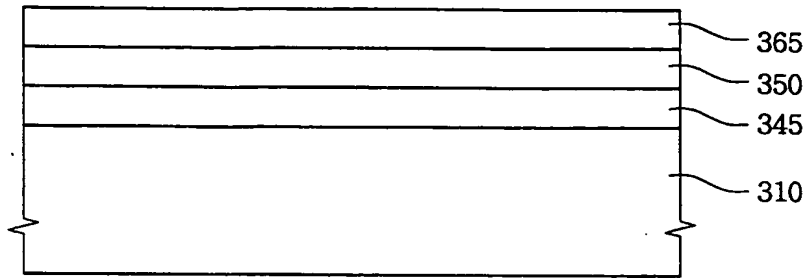
【도 3d】



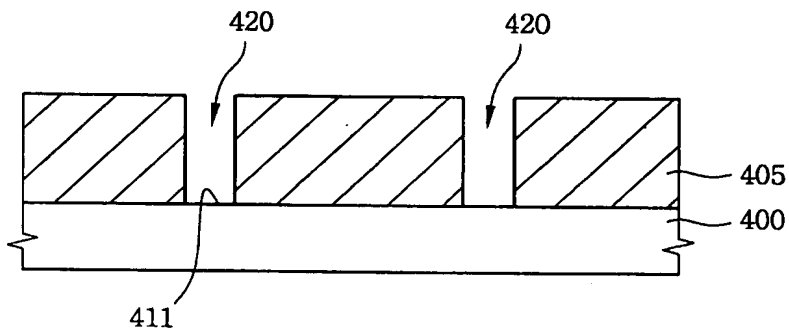
【도 3e】



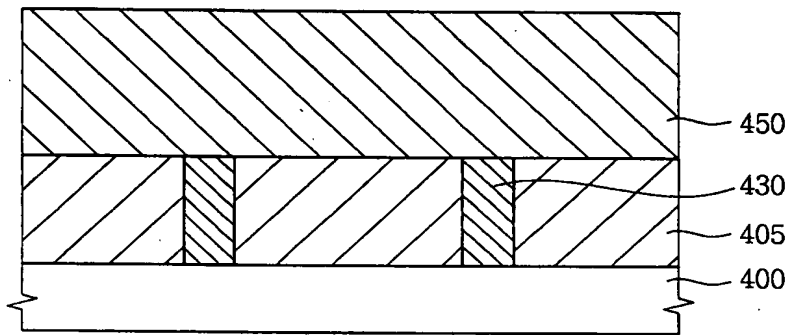
【도 3f】



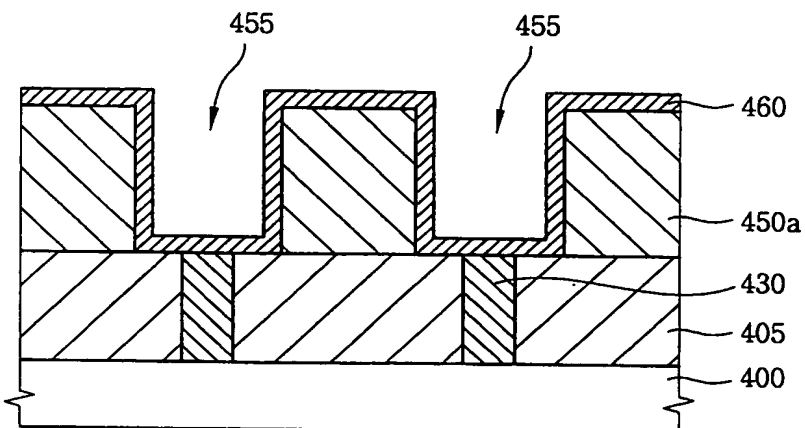
【도 4a】



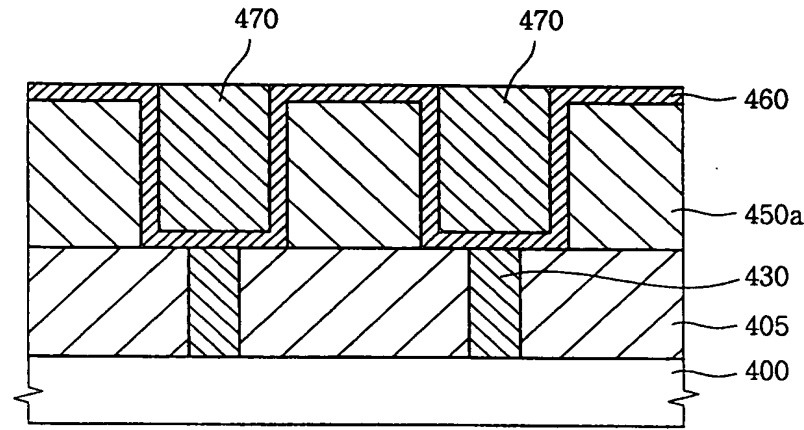
【도 4b】



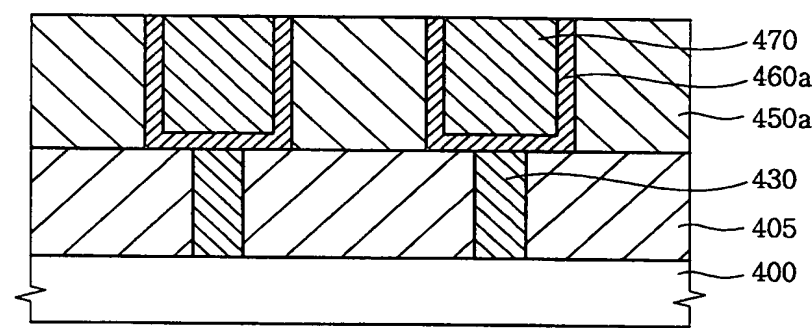
【도 4c】



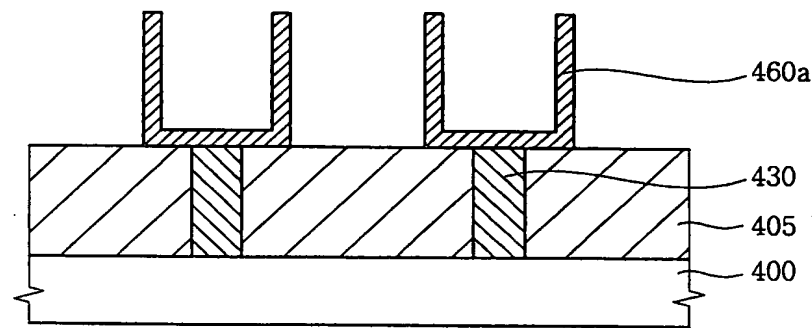
【도 4d】



【도 4e】



【도 4f】

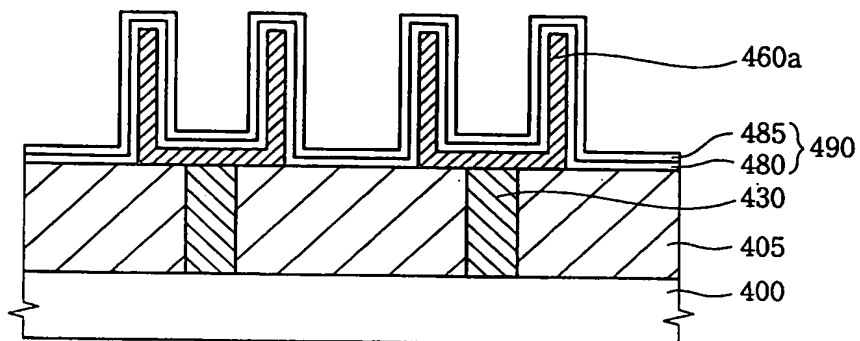




1020030020786

출력 일자: 2003/4/24

【도 4g】



【도 4h】

